

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

## IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-263669

(43)公開日 平成7年(1995)10月13日

(51)Int.Cl.<sup>c</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 01 L 29/78

H 01 L 29/78

3 2 1 J

審査請求 未請求 請求項の数6 OL (全8頁)

(21)出願番号

特願平6-56155

(22)出願日

平成6年(1994)3月25日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 桑原 正志

神奈川県川崎市幸区小向東芝町1 株式会  
社東芝多摩川工場内

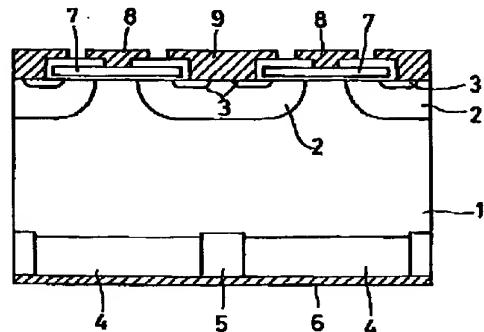
(74)代理人 弁理士 三好 秀和 (外3名)

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【目的】 この発明は、オン電圧とターンオフ時間のばらつきが改善され、量産性に優れたアノード短絡構造を有する半導体装置及びその製造方法を提供することを目的とする。

【構成】 この発明は、ドレイン領域となるN型の半導体基板1の一方の主面側に、P型ベース領域2と、N型ソース領域3と、ゲート電極7と、ソース電極9が形成され、半導体基板1の他方の主面側に、P型アノード領域4が形成され、このアノード領域4を完全に分離するように溝状に除去し、その溝を埋め込むようにN型のショート領域5が形成されアノード短絡構造を形成している。



## 【特許請求の範囲】

【請求項1】 第1導電型のドレイン領域となる半導体基板の一方の主面側に、第2導電型のベース領域が選択的に形成され、該ベース領域に第1導電型のソース領域が選択的に形成され、異なるベース領域に形成されたソース領域間のドレイン領域上にゲート電極が形成され、同一のベース領域に形成されたソース領域間のベース領域上にソース電極が形成され、半導体基板の他方の主面側に、第2導電型のアノード領域が選択的に形成され、アノード領域がアノード電極を介してドレイン領域と短絡される部分に第1導電型の半導体層が形成され、該半導体層によってアノード領域が分離されてアノード短絡構造が形成されてなることを特徴とする半導体装置。

【請求項2】 第1導電型のドレイン領域となる半導体基板の一方の主面側に、第2導電型のベース領域が形成され、該ベース領域に第1導電型のソース領域が選択的に形成され、ソース領域間のベース領域上にゲート電極が形成され、ソース領域上にソース電極が形成され、半導体基板の他方の主面側に、第2導電型のアノード領域が選択的に形成され、アノード領域がアノード電極を介してドレイン領域と短絡される部分に第1導電型の半導体層が形成され、該半導体層によってアノード領域が分離されてアノード短絡構造が形成されてなることを特徴とする半導体装置。

【請求項3】 第1導電型のドレイン領域となる半導体基板の一方の主面側に、第2導電型の第1のベース領域が選択的に形成され、該第1のベース領域中に第2のベース領域が選択的に形成され、該第2のベース領域に第1導電型のソース領域が選択的に形成され、異なる第2のベース領域に形成されたソース領域間のドレイン領域上又は第1のベース領域上にゲート電極が形成され、同一の第2のベース領域に形成されたソース領域間の第2のベース領域上にソース電極が形成され、半導体基板の他方の主面側に、第2導電型のアノード領域が選択的に形成され、アノード領域がアノード電極を介してドレイン領域と短絡される部分に第1導電型の半導体層が形成され、該半導体層によってアノード領域が分離されてアノード短絡構造が形成されてなることを特徴とする半導体装置。

【請求項4】 第1導電型のドレイン領域となる半導体基板の一方の主面側に、第2導電型のベース領域が形成され、該ベース領域に第1導電型のソース領域が選択的に形成され、ソース領域間のベース領域上にゲート電極又はソース電極が形成され、半導体基板の他方の主面側に、第2導電型のアノード領域が選択的に形成され、アノード領域がアノード電極を介してドレイン領域と短絡される部分に第1導電型の半導体層が形成され、該半導体層によってアノード領域が分離されてアノード短絡構造が形成されてなることを特徴とする半導体装置。

【請求項5】 第1導電型のドレイン領域となる半導体

基板の一方の主面に、第2導電型のアノード領域を形成し、アノード領域を選択的に溝状に半導体基板に達するまで除去し、溝状に除去した領域に第1導電型の半導体層を形成した後アノード領域と半導体層の表面を平坦化して露出させ、半導体基板の他方の主面に、ドレイン領域上にゲート絶縁膜を介してゲート電極を形成し、ゲート電極をマスクにして不純物を注入拡散して第2導電型のベース領域を選択的に形成し、ゲート電極及び絶縁膜をマスクにしてベース領域に不純物を注入拡散してソース領域を形成し、半導体基板の一方の主面にソース電極を選択的に形成し、アノード領域上にアノード電極を形成してなることを特徴とする半導体装置の製造方法。

10

【請求項6】 第1導電型のドレイン領域となる半導体基板の一方の主面に、第2導電型のアノード領域を形成し、半導体基板の他方の主面に、ゲート絶縁膜を介してゲート電極を形成し、ゲート電極をマスクにして不純物を注入拡散して第2導電型のベース領域を選択的に形成し、ゲート電極及び絶縁膜をマスクにしてベース領域に不純物を注入拡散してソース領域を形成し、半導体基板の一方の主面に、アノード領域を選択的に溝状に半導体基板に達するまで除去し、溝状に除去した領域に第1導電型の半導体層を形成した後アノード領域と半導体層の表面を平坦化して露出させ、半導体基板の他方の主面にソース電極を選択的に形成し、アノード領域上にアノード電極を形成してなることを特徴とする半導体装置の製造方法。

20

## 【発明の詳細な説明】

## 【0001】

30

【産業上の利用分野】この発明は、アノード短絡構造を有する電力用の半導体装置及びその製造方法に関し、特にオン電圧とスイッチング時間の制御性を改善した半導体装置及びその製造方法に関する。

## 【0002】

40

【従来の技術】アノード短絡構造を有する電力用の半導体装置としては、GTO(ゲート・ターン・オフ)サイリスタ、MCT(モス・コントロールド・サイリスタ)、EST(エミッタ・スイッチド・サイリスタ)、IGBT(インシュレーテッド・ゲート・バイポーラ・トランジスタ)等が挙げられる。これらの半導体装置は大電流化、高耐圧化が容易なため、最近特性の向上とともに実用化が活発になってきている。

【0003】従来、このような半導体装置において、オン電圧とターンオフ時間とのトレードオフの改善のためにアノード短絡構造が採用されてきた。

【0004】従来のアノード短絡型のNチャネルIGBTの断面図を図10に示す。

50

【0005】同図において、アノード短絡型のNチャネルIGBTは、N型ドレイン領域となる半導体基板101、P型ベース領域102、N型ソース領域103、P型アノード領域104、N型短絡ドレイン領域105を

備え、N型短絡ドレイン領域105は基板101の第2主面でアノード電極106によってP型アノード領域104と短絡されている。基板101の第1主面側には、N型ソース領域103とN型短絡ドレイン領域105に跨るようにして絶縁膜を介したゲート電極107及びその上部のゲート電極配線108と、P型ベース領域102とN型ソース領域103を短絡するソース電極109が形成されている。

【0006】このようなアノード短絡構造のIGBTは、N型ドレイン領域101の内のキャリアライフトайムを短くしなくとも、ターンオフ時間の短い素子が得られるという特徴を有している。このような構造において、ターンオフ時間が短くなる理由は、ターンオフ時にN型ドレイン領域101中に蓄積された残留キャリアが、N型短絡領域105を通ってアノード電極106から引き出されるため、P型アノード領域104からの再注入キャリアが発生しないためである。

【0007】また、このような構造では、N型ドレイン領域101のキャリアライフトайムが長いため、注入されたキャリアがN型ドレイン領域101上部まで効率よく伝導度変調に寄与するため、オン電圧も低くなるという特徴を有している。

【0008】したがって、アノード短絡型IGBTでは、上述したように低オン電圧と高速ターンオフ特性を兼ね備えることが可能である。

【0009】このようなアノード短絡構造として従来より一般的に使用されている構造では、Nチャネル型を一例として説明すると、N型半導体基板の片面に選択的にP型アノード領域が不純物拡散によって形成され、P型アノード領域の間隔と深さ及びN型半導体基板(ドレン領域)の比抵抗値によりシャント抵抗の抵抗値が設定される。このため、シャント抵抗値は、耐圧系の違いによる半導体基板の比抵抗の違い、アノード不純物拡散のばらつき等の影響を受けてしまう。

【0010】次に、このシャント抵抗値のばらつきが特性に与える影響を説明する。

【0011】通常のIGBTは、VDSが約0.6Vでアノード・ドレイン間のP-N接合が順バイアスされ、アノードからのホールの注入がはじまり急激にインピーダンスが低下し、電流が立ち上がる。

【0012】これに対して、アノード短絡型では、短絡部のドレン領域に形成されたシャント抵抗を電流が流れることによって生じる電圧降下によりアノード・ドレイン間のP-N接合が順バイアスされるため、短絡部のシャント抵抗の値によって順バイアスされるまでの電圧が変化し、これがオン電圧のばらつきを引き起こしてしまうことになる。さらに、これと同時に、このシャント抵抗のばらつきはキャリアの引き抜き速度にも影響するため、ターンオフ時間もばらつくことになる。

【0013】

【発明が解決しようとする課題】以上説明したように、従来のアノード短絡構造のIGBTにおいては、アノード領域が短絡される構造を採用しているため、アノード・ドレイン間のP-N接合が順バイアスされるまでの電圧は、半導体基板の比抵抗やアノード不純物拡散のばらつき等に影響されるシャント抵抗値に依存する。このため、オン電圧のばらつきを招いていた。さらに、シャント抵抗値のばらつきによりターンオフ時間もばらついていた。

【0014】したがって、これらのことから、歩留まりが低下して量産効率も低下し、価格も上昇するといった不具合を招いていた。

【0015】そこで、この発明は、上記に鑑みてなされたものであり、その目的とするところは、オン電圧とターンオフ時間のばらつきが改善され、量産性に優れたアノード短絡構造を有する半導体装置及びその製造方法を提供することにある。

【0016】

【課題を解決するための手段】上記目的を達成するためには、請求項1記載の発明は、第1導電型のドレン領域となる半導体基板の一方の主面側に、第2導電型のベース領域が選択的に形成され、該ベース領域に第1導電型のソース領域が選択的に形成され、異なるベース領域に形成されたソース領域間のドレン領域上にゲート電極が形成され、同一のベース領域に形成されたソース領域間のベース領域上にソース電極が形成され、半導体基板の他方の主面側に、第2導電型のアノード領域が選択的に形成され、アノード領域がアノード電極を介してドレン領域と短絡される部分に第1導電型の半導体層が形成され、該半導体層によってアノード領域が分離されてアノード短絡構造が形成されてなる。

【0017】請求項2記載の発明は、第1導電型のドレン領域となる半導体基板の一方の主面側に、第2導電型のベース領域が形成され、該ベース領域に第1導電型のソース領域が選択的に形成され、ソース領域間のベース領域上にゲート電極が形成され、ソース領域上にソース電極が形成され、半導体基板の他方の主面側に、第2導電型のアノード領域が選択的に形成され、アノード領域がアノード電極を介してドレン領域と短絡される部分に第1導電型の半導体層が形成され、該半導体層によってアノード領域が分離されてアノード短絡構造が形成されてなる。

【0018】請求項3記載の発明は、第1導電型のドレン領域となる半導体基板の一方の主面側に、第2導電型の第1のベース領域が選択的に形成され、該第1のベース領域中に第2のベース領域が選択的に形成され、該第2のベース領域に第1導電型のソース領域が選択的に形成され、異なる第2のベース領域に形成されたソース領域間のドレン領域上又は第1のベース領域上にゲート電極が形成され、同一の第2のベース領域に形成され

たソース領域間の第2のベース領域上にソース電極が形成され、半導体基板の他方の主面側に、第2導電型のアノード領域が選択的に形成され、アノード領域がアノード電極を介してドレイン領域と短絡される部分に第1導電型の半導体層が形成され、該半導体層によってアノード領域が分離されてアノード短絡構造が形成されてなる。

【0019】請求項4記載の発明は、第1導電型のドレイン領域となる半導体基板の一方の主面側に、第2導電型のベース領域が形成され、該ベース領域に第1導電型のソース領域が選択的に形成され、ソース領域間のベース領域上にゲート電極又はソース電極が形成され、半導体基板の他方の主面側に、第2導電型のアノード領域が選択的に形成され、アノード領域がアノード電極を介してドレイン領域と短絡される部分に第1導電型の半導体層が形成され、該半導体層によってアノード領域が分離されてアノード短絡構造が形成されてなる。

【0020】請求項5記載の発明は、第1導電型のドレイン領域となる半導体基板の一方の主面に、第2導電型のアノード領域を形成し、アノード領域を選択的に溝状に半導体基板に達するまで除去し、溝状に除去した領域に第1導電型の半導体層を形成した後アノード領域と半導体層の表面を平坦化して露出させ、半導体基板の他方の主面に、ドレイン領域上にゲート絶縁膜を介してゲート電極を形成し、ゲート電極をマスクにして不純物を注入拡散して第2導電型のベース領域を選択的に形成し、ゲート電極及び絶縁膜をマスクにしてベース領域に不純物を注入拡散してソース領域を形成し、半導体基板の一方の主面にソース電極を選択的に形成し、アノード領域上にアノード電極を形成してなる。

【0021】請求項6記載の発明は、第1導電型のドレイン領域となる半導体基板の一方の主面に、第2導電型のアノード領域を形成し、半導体基板の他方の主面に、ゲート絶縁膜を介してゲート電極を形成し、ゲート電極をマスクにして不純物を注入拡散して第2導電型のベース領域を選択的に形成し、ゲート電極及び絶縁膜をマスクにしてベース領域に不純物を注入拡散してソース領域を形成し、半導体基板の一方の主面に、アノード領域を選択的に溝状に半導体基板に達するまで除去し、溝状に除去した領域に第1導電型の半導体層を形成した後アノード領域と半導体層の表面を平坦化して露出させ、半導体基板の他方の主面にソース電極を選択的に形成し、アノード領域上にアノード電極を形成してなる。

【0022】

【作用】上記構成において、この発明は、アノード領域がアノード電極を介してドレイン領域と短絡される部分に形成された第1導電型の半導体層によってアノード領域を分離してアノード短絡構造を形成するようにしている。

【0023】

【実施例】以下、図面を用いてこの発明の実施例を説明する。

【0024】図1は請求項1記載の発明に係わるアノード短絡構造を有する半導体装置の一実施例のNチャネル型IGBTの断面構造を示す図である。

【0025】図1において、ドレイン領域となるN型の半導体基板1の一方の主面側には、図10に示す従来の構造と同様に、P型ベース領域2と、N型ソース領域3と、半導体基板1上に絶縁膜を介したゲート電極7及びその上部のゲート電極配線8と、P型ベース領域2とN型ソース領域3を短絡するソース電極9が形成されている。

【0026】一方、半導体基板1の他方の主面側には、この発明の特徴となる構造が形成されている。すなわち、半導体基板1の他方の主面側には、数 $\mu\text{m}$ 程度の厚さのP型アノード領域4が形成され、このアノード領域4を完全に分離するように溝状に除去し、その溝を埋め込むようにN型のショート領域5が形成されてなるアノード短絡構造が形成されている。

【0027】次に、請求項5記載の発明の一実施例となる、上記実施例の構造を得るために製造方法を図2及び図3を参照して説明する。

【0028】まず、リン等の不純物をドーピングしたN型の半導体基板1の一方の主面に(図2(a))、 $10^{18} \sim 10^{20} \text{ atoms/cm}^2$ 程度のボロン等の不純物をドーピングしたP型アノード領域4を気相成長法により数 $\mu\text{m}$ 程度の厚さに堆積形成する(図2(b))。

【0029】次に、アノード領域4をRIE等により選択的に溝状に基板1に達するまで除去する(図2(c))。

【0030】次に、溝状に除去した領域にリン等の不純物をドーピングしたN型の半導体層からなるショート領域5を気相成長法により形成する(図2(d))。

【0031】次に、アノード領域4とショート領域5が露出するように研磨して、N型ドレイン領域1の厚さを調整するために、N型ドレイン領域1側の主面より基板1を鏡面研磨する(図3(e))。

【0032】次に、N型ドレイン領域1上の全面に酸化膜を形成し、この酸化膜上にポリシリコン層を形成する。その後、これらのポリシリコン層、酸化膜をパターニングして、ゲート酸化膜、ゲート電極7を形成し、このゲート電極7をマスクにして、ボロン等の不純物をイオン注入法により注入し、拡散することによってP型ベース領域2を選択的に形成する。さらに、P型ベース領域2内にゲート電極7及び選択的に形成した絶縁膜をマスクにして、砒素、リン等の不純物をイオン注入法によって注入して拡散し、N型ソース領域3を形成する(図3(f))。

【0033】次に、全面に絶縁膜を形成した後、ベース領域2、ソース領域3、ゲート電極7上の絶縁膜を選択

的に除去し、A1等の金属を全面に蒸着、スパッタ等により形成し、バーニングしてゲート配線電極8、ソース電極9を形成する(図3(g))。

【0034】最後に、アノード領域4側の絶縁膜を除去し、金等の金属を蒸着し、スパッタ等によりアノード電極6を形成する。この後、所定の大きさに分離して、チップが完成する(図3(h))。

【0035】次に、請求項6記載の発明の一実施例となる、上記実施例の構造を得るために他の製造方法を図4及び図5を参照して説明する。

【0036】まず、リン等の不純物をドーピングしたN型の半導体基板1の一方の主面に(図4(a))、 $10^{18} \sim 10^{20} \text{ atoms/cm}^3$  のボロン等の不純物をドーピングしたP型のアノード領域4を気相成長法により数μm程度の厚さに堆積する(図4(b))。

【0037】次に、N型のドレイン領域1の厚さを調整するために、N型のドレイン領域1側の主面より鏡面研磨する。その後、N型のドレイン領域1上全面に酸化膜を形成し、この酸化膜上にポリシリコン層を形成する。これらの酸化膜、ポリシリコン層をバーニングして、ゲート酸化膜、ゲート電極7を形成し、このゲート電極7をマスクにして、ボロン等の不純物をイオン注入法にて注入して拡散し、P型のベース領域2を選択的に形成する。さらに、P型のベース領域2内にゲート電極7及び選択的に形成した絶縁膜をマスクにして、砒素、リン等の不純物をイオン注入法によって注入して拡散し、N型ソース領域を形成する(図4(c))。

【0038】次に、全面に絶縁膜を形成した後、P型のアノード領域4の絶縁膜を選択的に除去し、RIE等によつてP型アノード領域4を溝状にN型のドレイン領域1に達するまで除去する(図4(d))。

【0039】次に、砒素、リン等の不純物をドーピングしたポリシリコンをCVD等で埋め込みショート領域5を形成する(図5(e))。

【0040】次に、CDE等で平坦化し、アノード領域4とショート領域5を露出させる(図5(e))。

【0041】次に、ベース領域2、ソース領域3、ゲート電極7上の絶縁膜を選択的に除去し、A1等の金属を全面に蒸着、スパッタ等により形成した後、バーニングしてゲート配線電極8、ソース配線電極9を形成する(図5(f))。

【0042】最後に、アノード領域4側に、金等の金属を蒸着、スパッタ等により形成し、アノード電極6を形成する。この後、所定の大きさにセパレーションし、チップが完成する(図5(g))。

【0043】なお、図2～図5に示す実施例において、P型アノード領域4はボロン等の不純物を基板1の一方の主面から拡散法を用いて形成するようにしてもよい。また、埋め込まれたドレイン領域1のアノード電極6に接する部分に高濃度層を形成するようにしてもよい。

【0044】上述した実施例においては、アノード領域4を基板1の全面に形成した後、RIE等によってほぼ均等な幅で溝状に除去した箇所にショート領域5を気相成長法又はCVD法によって形成するため、従来のように選択的にアノード領域を拡散法によって形成する方法に比べて、ショート領域5のシャント抵抗値のばらつきを少なくすることができる。

【0045】これによって、図6に示すようにオン電圧、ターンオフ時間のばらつきが従来に比べて少ないアノード短絡型のIGBTを得ることができる。さらに、ショート領域5をドレイン領域1とは別に形成するため、ドレイン領域1の比抵抗の影響を受けなくなり、耐圧系に関係なくショート領域5の設計を一定にすることができる。この結果、製造歩留まりが向上して生産効率が高められ、製造コストを低下させることができる。

【0046】図7は請求項2記載の発明に係わるアノード短絡構造を有する半導体装置の一実施例の断面構造を示す図である。

【0047】図7に示す実施例の特徴とするとところは、同図に示すように、図1に示す実施例に比べて、P型のベース領域2を基板1の一方の主面側に連続して形成し、N型のソース領域3にそれぞれ対応してソース電極9を形成するようにしたことにある。このよな実施例においては、図1に示す実施例と同様な効果が得られるGTOサイリスタを構成することができる。

【0048】図8は請求項3記載の発明に係わるアノード短絡構造を有する半導体装置の一実施例の断面構造を示す図である。

【0049】図8に示す実施例の特徴とするとところは、同図に示すように、図1に示す実施例に比べて、P型のベース領域2を2重化して形成したことがある。このよな実施例においては、図1に示す実施例と同様な効果が得られるMCTを構成することができる。

【0050】図9は請求項4記載の発明に係わるアノード短絡構造を有する半導体装置の一実施例の断面構造を示す図である。

【0051】図9に示す実施例の特徴とするとところは、同図に示すように、図1に示す実施例に比べて、P型のベース領域2を基板1の一方の主面側に連続して形成したことにある。このよな実施例においては、図1に示す実施例と同様な効果が得られるESTを構成することができる。

【0052】なお、上記実施例ではNチャネル型のアノード短絡構造を有する半導体装置について説明したが、導電型を逆にすることで、Pチャネル型にも勿論適用することができる。

【0053】【発明の効果】以上説明したように、この発明によれば、アノード領域がアノード電極を介してドレイン領域と短絡される部分に第1導電型の半導体層を形成し、該

9

半導体層によってアノード領域が分離されてアノード短絡構造を形成するようにしたので、アノード短絡部分でのシャント抵抗のばらつきを少なくすることが可能となる。

【0054】これにより、オン電圧とターンオフ時間のばらつきの少なく、歩留まりが高く生産性に優れた例えばIGBT、GTOサイリスタ、MCT又はESTのアノード短絡構造の半導体装置及びその製造方法を提供することができる。

【図面の簡単な説明】

【図1】請求項1記載の発明の一実施例に係わる半導体装置の断面構造を示す図である。

【図2】請求項5記載の発明の一実施例に係わる半導体装置の製造方法の工程断面を示す図である。

【図3】請求項5記載の発明の一実施例に係わる半導体装置の製造方法の工程断面を示す図である。

【図4】請求項6記載の発明の一実施例に係わる半導体装置の製造方法の工程断面を示す図である。

【図5】請求項6記載の発明の一実施例に係わる半導体装置の製造方法の工程断面を示す図である。

【図6】図1に示す実施例と従来例のオン電圧とターンオフ時間の分布特性を示す図である。

【図7】請求項2記載の発明の一実施例に係わる半導体装置の断面構造を示す図である。

【図8】請求項3記載の発明の一実施例に係わる半導体装置の断面構造を示す図である。

【図9】請求項4記載の発明の一実施例に係わる半導体装置の断面構造を示す図である。

【図10】従来のアノード短絡型のIGBTの断面構造を示す図である。

10 【符号の説明】

1, 101 N型の半導体基板（ドレイン領域）

2, 102 P型のベース領域

3, 102 N型のソース領域

4, 104 P型のアノード領域

5, 105 N型のショート領域

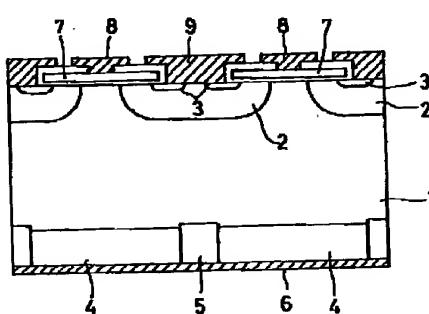
6, 106 アノード電極

7, 107 ゲート電極

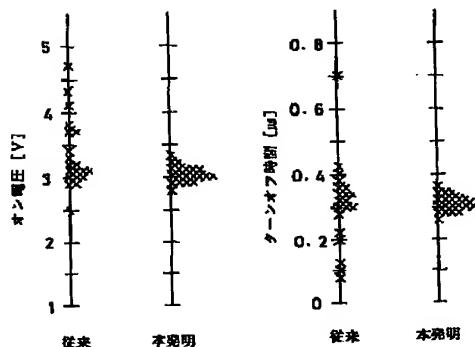
8, 108 ゲート配線電極

20 9, 109 ソース（カソード）電極

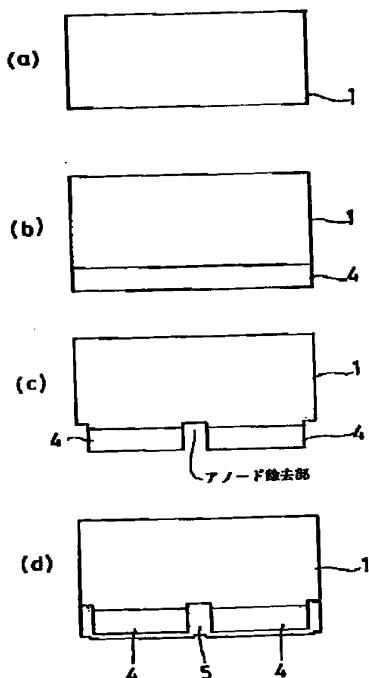
【図1】



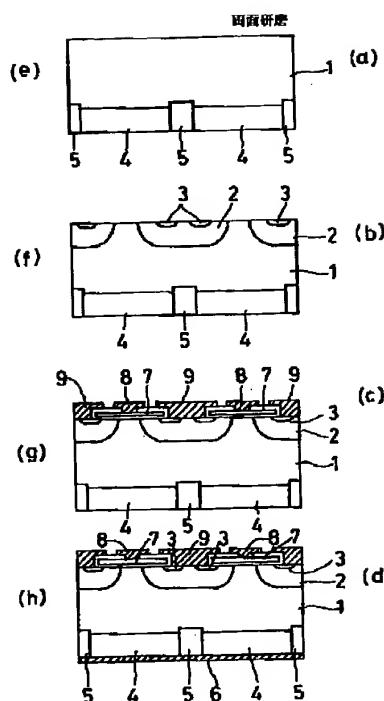
【図6】



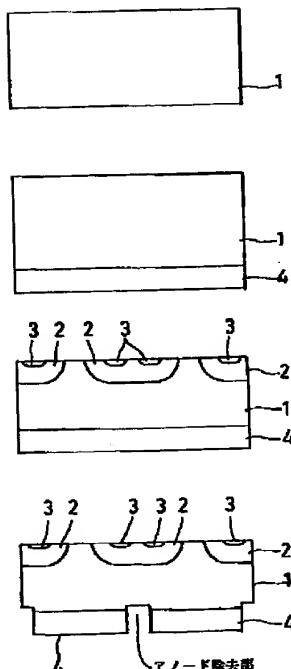
【図2】



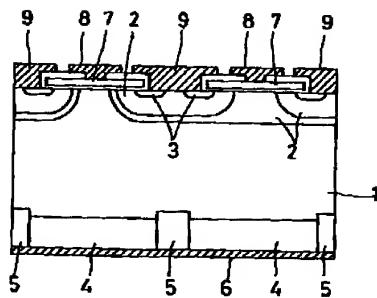
【図3】



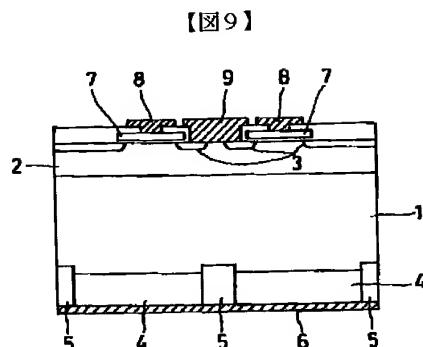
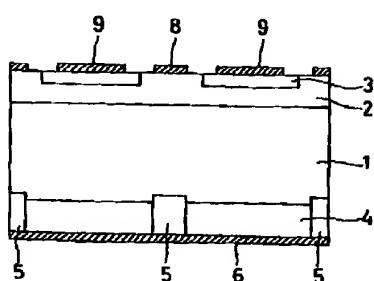
【図4】



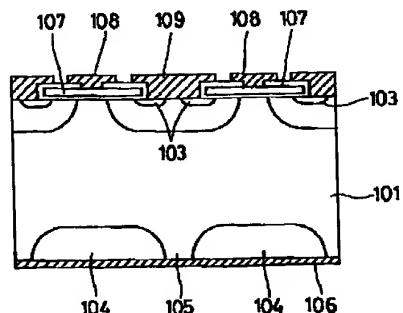
【図8】



【図7】



【図10】



【図5】

